



THE UNITED STATES PATENT AND TRADEMARK OFFICE

Applicants: Tomoyuki Inaba, et al.

Examiner: Unassigned

Serial No: 10/669,303

Art Unit: Unassigned

Filed: September 24, 2003

Docket: 17061

For: ADDRESS-COUNTER CONTROL SYSTEM

Dated: Jan. 15, 2004


**Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450**

CLAIM OF PRIORITY

Sir:

Applicants in the above-identified application hereby claim the right of priority in connection with Title 35 U.S.C. § 119 and in support thereof, herewith submit a certified copy of Japanese Patent Application No. 2002-281045, filed on September 26, 2002.

Respectfully submitted,


Paul J. Esatto, Jr.
Registration No.: 30,749

Scully, Scott, Murphy & Presser
400 Garden City Plaza
Garden City, New York 11530
(516) 742-4343
PJE:ahs

CERTIFICATE OF MAILING UNDER 37 C.F.R. §1.8(a)

I hereby certify that this correspondence is being deposited with the United States Postal Service as first class mail in an envelope addressed to: Commissioner of Patents, P.O. Box 1450, Alexandria, VA 22313-1450.
Dated: January 15, 2004


Paul J. Esatto, Jr.

US

日 本 国 特 許 庁
JAPAN PATENT OFFICE

WN2-2613

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日 2 0 0 2 年 9 月 2 6 日
Date of Application:

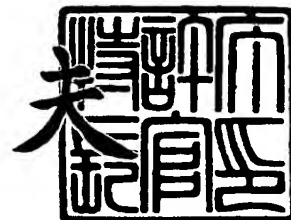
出 願 番 号 特 願 2 0 0 2 - 2 8 1 0 4 5
Application Number:
[ST. 10/C]: [J P 2 0 0 2 - 2 8 1 0 4 5]

出 願 人
Applicant(s): エルピーダメモリ株式会社
株式会社日立超エル・エス・アイ・システムズ
株式会社日立製作所

2 0 0 3 年 9 月 1 8 日

特許庁長官
Commissioner,
Japan Patent Office

今 井 康 夫



出証番号 出証特 2.003-3076618

【書類名】 特許願

【整理番号】 22310228

【提出日】 平成14年 9月26日

【あて先】 特許庁長官殿

【国際特許分類】 G11C 7/26
H04Q 7/36
H04L 12/28

【発明者】

【住所又は居所】 東京都小平市上水本町五丁目 2 2 番 1 号 株式会社日立
超エル・エス・アイ・システムズ内

【氏名】 稲葉 智之

【発明者】

【住所又は居所】 東京都中央区八重洲二丁目 2 番 1 号 エルピーダメモリ
株式会社内

【氏名】 中井 潔

【発明者】

【住所又は居所】 東京都小平市上水本町五丁目 2 2 番 1 号 株式会社日立
超エル・エス・アイ・システムズ内

【氏名】 加藤 英明

【特許出願人】

【識別番号】 500174247

【氏名又は名称】 エルピーダメモリ株式会社

【特許出願人】

【識別番号】 000233169

【氏名又は名称】 株式会社日立超エル・エス・アイ・システムズ

【特許出願人】

【識別番号】 000005108

【氏名又は名称】 株式会社日立製作所

【代理人】

【識別番号】 100071272

【弁理士】

【氏名又は名称】 後藤 洋介

【選任した代理人】

【識別番号】 100077838

【弁理士】

【氏名又は名称】 池田 憲保

【手数料の表示】

【予納台帳番号】 012416

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 0110118

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 アドレスカウンタ制御方式

【特許請求の範囲】

【請求項1】 連続する第一のアドレス領域とこれに対応して不連続領域部分を有する第二のアドレス領域とを備えるデバイスにアドレスを供給するカウンタの制御方式であって、

前記第一のアドレス領域に対応して形成される数のアドレスカウンタを有するカウンタ回路と、

当該カウンタ回路で、前記第二のアドレス領域の前記不連続領域部分に対応して連続接続するアドレスカウンタの両端でその外側の連続領域部分への接続路に設けられ、一方では前記不連続領域部分を切離してその両側の切離された前記連続領域部分を直接結合し、他方では前記連続領域部分の直接結合を切離し前記不連続領域部分をその両側の連続領域部分に接合するパススイッチと、

前記パススイッチを制御して、前記第一のアドレス領域として形成する場合には前記連続領域部分の直接結合を切離し前記不連続領域部分をその両側の連続領域部分に接合して前記第一のアドレス領域に前記不連続領域を組み込み前記不連続領域を含め全てのアドレスカウンタを順次カウントするように動作させる一方、前記第二のアドレス領域を連続状態に形成する場合には前記不連続領域部分を切離してその両側の切離された前記連続領域部分を直接結合し不連続領域部分を切離して残るアドレスカウンタを順次カウントするように動作させる制御回路と

を備えることを特徴とするアドレスカウンタ制御方式。

【請求項2】 請求項1において、前記制御回路は、前記第一のアドレス領域に対応する最終アドレスのカウンタ出力を受けて前記第一のアドレス領域における全てのアドレスカウントが終了した際に、前記パススイッチを駆動して前記第二のアドレス領域におけるアドレスカウントを開始し、当該第二のアドレス領域における最終アドレスのカウンタ出力を受けて全てのアドレスカウントを終了した際に、第一及び第二の全てのアドレスカウントを終了したという終了信号を発生することを特徴とするアドレスカウンタ制御方式。

【請求項 3】 「2 の n 乗」の連続するアドレスを有するノーマルアドレス領域と「2 の n 乗」とは異なる不連続アドレスを有するパリティアドレス領域とを有する要リフレッシュ型メモリ装置のリフレッシュカウンタを制御する方式において、

前記ノーマルアドレス領域に対応して形成される数のアドレスカウンタを有するカウンタ回路と、

当該カウンタ回路で、前記パリティアドレス領域の前記不連続アドレス領域部分に対応する連続するアドレスカウンタの両端でその外側の連続領域部分への接続路に設けられ、一方では前記不連続領域部分を切離してその両側の切離された前記連続領域部分を直接結合し、他方では前記連続領域部分の直接結合を切離し前記不連続領域部分をその両側の連続領域部分に接合するパススイッチと、

前記パススイッチを制御して、前記ノーマルアドレス領域として形成する場合には前記連続領域部分の直接結合を切離し前記不連続領域部分をその両側の連続領域部分に接合して前記ノーマルアドレス領域に前記不連続領域を組み込み前記不連続領域を含め全てのアドレスカウンタを順次カウントするように動作させる一方、前記パリティアドレス領域を連続状態に形成する場合には前記不連続領域部分を切離してその両側の切離された前記連続領域部分を直接結合し不連続領域部分を除き連続するアドレスカウンタを順次カウントするように動作させる制御回路と

を備えることを特徴とするアドレスカウンタ制御方式。

【請求項 4】 請求項 3 において、前記制御回路は、前記メモリ装置のリフレッシュ動作の際、前記第ノーマルアドレス領域に対応する最初のアドレスカウンタから開始し、最終アドレスのカウンタ出力を受けて前記ノーマルアドレス領域における全てのアドレスカウントが終了した際に前記パススイッチを駆動して前記パリティアドレス領域におけるアドレスカウントを開始し、当該パリティアドレス領域における最終アドレスのカウンタ出力を受けて全てのアドレスカウントを終了した際に前記ノーマル及びパリティ両者の全てのアドレスカウントを終了したというリフレッシュ終了信号を発生することを特徴とするアドレスカウンタ制御方式。

【請求項 5】 請求項 3 において、前記制御回路は、前記アドレスカウンタのカウンタ値を保持し、前記メモリ装置のリフレッシュ動作の際、前記第ノーマルアドレス領域で、前記カウンタ値に対応する次のアドレスカウンタから動作を開始し、前記カウンタ値と一致したアドレスカウンタの出力を受けた際に前記パススイッチを駆動して前記パリティアドレス領域におけるアドレスカウントを開始し、当該パリティアドレス領域における全てのアドレスカウントを終了して前記カウンタ値に達した際に前記ノーマル及びパリティ両者の全てのアドレスカウントを終了したというリフレッシュ終了信号を発生することを特徴とするアドレスカウンタ制御方式。

【請求項 6】 請求項 5 において、前記カウンタ値に対応するアドレスが前記不連続アドレス部分の場合には、当該不連続アドレス部分に続くパリティアドレス領域の最初のアドレスカウントを前記カウンタ値に置き換えることを特徴とするアドレスカウンタ制御方式。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、ECC (Error Checking and Correcting) 回路を有するメモリで、DRAM (Dynamic Random Access Memory) のような揮発性メモリに必要なリフレッシュに用いられるアドレスカウンタを制御する方式に関し、特に、構成が簡素でかつ制御が簡単にできるアドレスカウンタ制御方式に関する。

【0002】

【従来の技術】

従来のこの種のアドレスカウンタ制御方式を説明するため、揮発性メモリのリフレッシュ動作と ECC 回路とについて説明する。

【0003】

一般に、DRAM のような揮発性メモリはメモリデータが経時変化により消滅することを避けるため、例えば、下記特許文献 1 で第 1 図及び第 3 図を参照して説明されているように、定期的にメモリデータを読み出し、センスアンプで増幅し

て再度書込むリフレッシュ動作を実行している。

【0004】

まず、図5を参照して、メモリ10におけるリフレッシュ動作について一例を説明する。リフレッシュ動作においては、メモリ10で、リフレッシュアドレスとなる行アドレス信号が行デコーダ11を介してメモリアレイ12の全ての行を列方向のX方向に順次走査し、列デコーダ13は使用しない。すなわち、各行毎に行方向であるY方向の全てのデータビットを読み出してセンスアンプ14で増幅し、増幅したデータビットを元のメモリ素子に書込むことによりメモリビットの劣化を防止している。

【0005】

上記リフレッシュアドレスは内部で自動的に作成される。すなわち、奇数段のインバータを環状に接続した発振回路によるリングオシレータが生成するクロック信号をリフレッシュカウンタがカウントしてリフレッシュアドレスを順次アップさせている。

【0006】

このリフレッシュ動作の際、例えば、特許文献1で第3図を参照して説明されるように、周知の方法により誤りビットを検出して訂正したデータを元のメモリ素子に書込むECC回路が併用されている。すなわち、放射線などにより発生するメモリ素子の記憶破壊を修復するためである。

【0007】

図6を参照すれば、リフレッシュカウンタ26がリフレッシュのためのアドレスレジスタ27を順次アップさせて、アドレスセクタ25を制御し、行デコーダを駆動している。

【0008】

次に、図6を参照して、メモリ10に対するECC回路について説明する。メモリ10にはデータビットのためのノーマル領域に対して、誤りを検出する検査ビット（パリティビット）を記憶するためのパリティ領域がある。データセクタ21を介して書込みデータがメモリ10に入力する際に、検査ビット生成22は、入力するデータビットをモニタし、この所定数に対して検査ビットを生成す

る。生成された検査ビットはメモリ 10 で関係するデータビットの場所に対応するパリティ領域の所定の場所へ書込まれる。

【0009】

リフレッシュ動作の際には、誤り検出訂正 23 が、メモリ 10 のノーマル領域から読み出したデータビットとこれに対応するパリティ領域から読み出した検査ビットとを照合する。誤り検出訂正 23 は、誤りビットを検出した際には、その位置を見つけてそのビットを反転させ、誤りの訂正済みデータとしてデータセクタ 21 へ送ってメモリ 10 に書込ませる。

【0010】

リフレッシュ動作はメモリ 10 のノーマル領域及びパリティ領域における全てのメモリ素子に実行される。

【0011】

例えば、図 5 に示されるメモリセルが「 $m \times n$ 」のマトリックス構成の場合、メモリアレイ 12 では、読み出しまたはリフレッシュの際には、行アドレスが行デコーダ 11 で復号され、メモリアレイ 12 の一つの行線が選択される。この際、センスアンプ 14 では列数の「 n 」ビットのデータが並列に通過して増幅される。

【0012】

通常の読み出し動作では、列アドレスが列デコーダ 13 で復号され、列セクタ 15 によりメモリアレイ 12 の一つの列線が選択されるので、「 n 」ビットの一つが読み出しデータとして外部へ送出される。

【0013】

リフレッシュ動作では、センスアンプ 14 で増幅された再生データが、メモリアレイ 12 の全ての列線に戻され、その際に選択されていた行線のメモリセルに書き込まれる。

【0014】

次に、図 7 及び図 8 を併せ参照してメモリアレイ 12 が形成するメモリバンク 120 内におけるアドレス構成について説明する。例えば、256 メガビットのアドレス領域では、データビットが記憶されるノーマルアドレス領域（以後、ノ

ーナル領域と略称)が行アドレス「x 0～x 12」を用いている。この内、行アドレス「x 9～x 12」の4つのアドレスで一つのバンク内を16個のメモリマツト(以後、マツトと略称)0～15に分割し、この各マツト内で行アドレス「x 0～x 8」の9つのアドレスで512本のサブワードに分けられる。

【0015】

一方、検査ビットのパリティアドレス領域(以後、パリティ領域と略称)を各マツト内に配置することがメモリ面積不利益を最少とするので、行アドレス「x 9～x 12」の4つのアドレスで一つのバンク内における16個のマツトに対応させて指定し、ノーマル領域とパリティ領域との切分けを行アドレス「x 13」で指定している。また512本のサブワードに対してパリティアドレス領域は、16本を設けるので、4つの行アドレス「x 0～x 3」で十分である。

【0016】

この結果、リフレッシュカウンタは、ノーマル領域で行アドレス「x 0～x 12」に対応し、パリティ領域で行アドレス「x 0～x 3」及び行アドレス「x 9～x 13」に対応する必要がある。

【0017】

上述したように、ノーマル領域とパリティ領域とはいびつな領域関係にある。しかし、リフレッシュの際のカウンタ回路は引用された特許文献1では開示されていない。通常、図9に示されるように、リフレッシュカウンタは、ノーマル領域用アドレスカウンタ回路(A)とパリティ領域用アドレスカウンタ回路(B)との二つを用意する。すなわち、カウンタ回路(A)はノーマル領域用アドレスカウンタ(以後、NACと略称)102-0～12の連続アドレスを、またカウンタ回路(B)はパリティ領域用アドレスカウンタ(以後、PACと略称)103-0～3と103-9～13との不連続のアドレスを、それぞれで連続してカウントしている。

【0018】

また、図示される全体カウンタ回路(C)は、長期的リフレッシュのため、対象となる「N+1」個、全てのビットに対するリフレッシュ動作の終了までをカウントする。

【0019】

長期的リフレッシュ動作の際には、リフレッシュカウンタ回路はノーマル領域をリフレッシュした後、パリティ領域をリフレッシュし、全ての領域のリフレッシュが終了した後、次のリフレッシュ動作まで所定の時間を設け、内部電源のうちデータ保持動作に支障のない回路の電源を遮断して電力消費を低減している。

【0020】

この休止期間について、図10を参照して説明する。図10は下記特許文献2の図34を参照している。

【0021】

図示される例では、リフレッシュ動作の周期を決める基本発振器OSCにおけるパルスの立上がりから、規定された時間 T_{PON} の経過後に内部電源が立ち上がる。内部電源の立ち上がりに従って、メモリ内の全ビットに集中リフレッシュが実行される。このリフレッシュ動作の終了により、内部電源は休止状態となる。この休止状態は、リフレッシュ周期が到来して次の基本発振器OSCのパルスが立上がるまで継続する。このため、このリフレッシュ動作の終了を検出するため、上記全体カウンタ回路(C)には、全体カウンタ(CNT)「104-0〜N」の「N+1」個分が設けられている。

【0022】

しかしながら、引用された特許文献1, 2共に、リフレッシュの際のカウンタ回路は開示されていない。しかし、通常、上述するように、リフレッシュカウンタとして三つのカウンタ回路を必要とするものである。

【0023】**【特許文献1】**

特開昭56-98781号公報(第1図、第3図)

【0024】**【特許文献2】**

特開2002-56671号公報(図34)

【0025】**【発明が解決しようとする課題】**

上述した従来のアドレスカウンタ制御回路では、メモリ装置の面積が不利益を生じるという問題点がある。

【0026】

その理由は、リフレッシュ動作のために、連続するアドレスを有するノーマル領域と不連続アドレスを有するパリティ領域とのそれぞれのカウンタを備え、更に、全てのリフレッシュ動作の終了を検出するカウンタを備えるからである。

【0027】

本発明の課題は、このような問題点を解決し、構成を簡素化すると共に制御を簡略化できるアドレスカウンタ制御回路を提供することである。

【0028】

【課題を解決するための手段】

本発明によるアドレスカウンタ制御回路は、連続する第一のアドレス領域とこれに対応して不連続領域部分を有する第二のアドレス領域とを備えるデバイスにアドレスを供給するカウンタの制御方式に関するものであって、カウンタ回路と、パススイッチと、制御回路とから構成されている。

【0029】

カウンタ回路は前記第一のアドレス領域に対応して形成される数のアドレスカウンタを有する。

【0030】

パススイッチは、上記カウンタ回路で、前記第二のアドレス領域の前記不連続領域部分に対応して連続接続するアドレスカウンタの両端でその外側の連続領域部分への接続路に設けられる。一方では、パススイッチは、前記不連続領域部分を切離してその両側の切離された前記連続領域部分を直接結合する。また、他方では、パススイッチは、前記連続領域部分の直接結合を切離し前記不連続領域部分をその両側の連続領域部分に接合する。

【0031】

制御回路は、前記パススイッチを制御して、前記第一のアドレス領域として形成する場合には前記連続領域部分の直接結合を切離し前記不連続領域部分をその両側の連続領域部分に接合して前記第一のアドレス領域に前記不連続領域を組込

み前記不連続領域を含め全てのアドレスカウンタを順次カウントするように動作させる。一方、制御回路は、前記第二のアドレス領域を連続状態に形成する場合には前記不連続領域部分を切離してその両側の切離された前記連続領域部分を直接結合し不連続領域部分を切離して連続するアドレスカウンタを順次カウントするように動作させる。

【0032】

このような構成により、連続するアドレス領域部分に対応する一つのカウンタ回路で、不連続領域部分を有するアドレス領域もカウントしている。従って、一つのカウンタ回路で二種類のアドレス領域のアドレスをカウントできる。この結果、メモリ装置の面積が削減できる。

【0033】

また、この制御回路は、前記第一のアドレス領域に対応する最終アドレスのカウンタ出力を受けて前記第一のアドレス領域における全てのアドレスカウントが終了した際に、前記パススイッチを駆動して前記第二のアドレス領域におけるアドレスカウントを開始している。また、この制御回路は、当該第二のアドレス領域における最終アドレスのカウント出力を受けて全てのアドレスカウントを終了した際に、第一及び第二の全てのアドレスカウントを終了したという終了信号を発生している。

【0034】

このような制御で、第一及び第二の両者のアドレス領域における全てのカウント終了を一つの上記カウンタ回路で知ることができる。この結果、図9に示された全体カウント回路も削除することができる。

【0035】

このような構成は、「2のn乗」の連続するアドレスを有するノーマルアドレス領域、及び「2のn乗」とは異なる不連続アドレスを有するパリティアドレス領域を有する要リフレッシュ型メモリ装置のリフレッシュカウンタを制御する方式に適切である。

【0036】

すなわち、ECC回路を有するDRAMのような揮発性メモリのリフレッシュ

動作に対して、上記制御回路がカウンタ回路のパススイッチを制御している。従って、連続するアドレス領域における全てのデータビットのリフレッシュを終了した後、続いて同一のカウンタ回路を用いて不連続領域部分を飛ばして全てのパリティビットのリフレッシュを終了できる。さらに、リフレッシュの終了が終了信号により知らされるので、この終了信号によりメモリ装置のポーズ期間となる低電力状態を自動的に開始することができる。

【0037】

上記制御回路における上記パススイッチの切替動作は、カウンタ回路で、リセット状態からカウントを開始し最上位のアドレスカウンタからの出力を用いている。しかし、カウンタ回路の途中のアドレスからカウントを開始することも可能である。

【0038】

すなわち、制御回路は、前記アドレスカウンタのカウント値を保持し、前記メモリ装置のリフレッシュ動作の際、前記第ノーマルアドレス領域で、前記カウンタ値に対応する次のアドレスカウンタから動作を開始する。次いで、制御回路は前記カウンタ値と一致したアドレスカウンタの出力を受けた際に前記パススイッチを駆動して前記パリティアドレス領域におけるアドレスカウントを開始する。更に、制御回路は、このパリティアドレス領域における全てのアドレスカウントを終了して前記カウンタ値に達した際に、前記ノーマル及びパリティ両者の全てのアドレスカウントを終了したというリフレッシュ終了信号を発生している。

【0039】

【発明の実施の形態】

次に、本発明の実施の形態について図面を参照して説明する。本実施形態は、図5から図8までを併せ参照して説明したメモリ装置に適用するものである。

【0040】

図1は、本発明による実施の一形態のうち、ノーマルアドレス領域のリフレッシュ動作に対応するカウンタ回路を示すブロック図である。

【0041】

図1におけるアドレスカウンタ制御回路では、アドレスカウンタ（以後、AC

と略称) 1-0~-13 とパススイッチ 2-0~-2 と制御回路のうち切替信号発生部 (以後、SG と略称) 3 とが示されている。

【0042】

AC 1-0~-12 は図 8 に示される行アドレス「x 0~x 12」それぞれに対応する。また、図示されるカウンタ回路は、図 8 のパリティアドレス領域に対応して三つの回路、AC 1-0~-3、AC 1-4~-8、及び AC 1-9~-12 それぞれの領域に分割されている。AC 1-4~-8 はパリティアドレスカウンタでは使用されない不連続領域に対応する部分 (上述した不連続領域部分) である。AC 1-0~-3 及び AC 1-9~-12 はノーマルアドレス及びパリティアドレスの両者で使用される上述の連続領域部分である。

【0043】

この三つの回路は、AC 1-3 と AC 1-4 との間でパスを閉じたパススイッチ 2-1 により、また、AC 1-8 と AC 1-9 との間でパスを閉じたパススイッチ 2-2 により、それぞれ直結されている。また、図 1 では、回路を開いたパススイッチ 2-0 が AC 1-3 と AC 1-9 との間を直結する接続路に備えられている。この結果、図 1 のカウンタ回路は、AC 1-0 から AC 1-12 まだが連続してカウントされ、ノーマルアドレス領域に対応できる。

【0044】

SG 3 は、AC 1-12 までのカウントにより最終アドレスを検出しパススイッチ 2-0~-2 を制御してパスの接続を切替え、カウンタ回路は図 2 に示す状態を形成する。また、SG 3 は、行アドレス「x 13」に対応する AC 1-13 と接続してビットを照合する。図 8 の例では、ノーマルアドレス領域では行アドレス「x 13」がビット「0」である。従って、図 1 では、AC 1-13 ビット「0」を受けることによりリフレッシュ動作に対する END 信号は発生しない。

【0045】

図 2 では、パススイッチ 2-0 がパスを閉じ、パススイッチ 2-1、-2 がパスを開いているので、カウンタ回路では、AC-4~-8 が切離され、AC 1-3 から AC 1-9 に直接続く。すなわち、図 2 に示されるカウンタ回路により図 8 に示されるパリティアドレス領域のアドレスが連続して得られる。

【0046】

図2におけるSG3では、上述したと同様AC1-12までのカウントによりパススイッチ2-0～2を制御してパスの接続を切替え、カウンタ回路は図1に示す状態を形成する。AC1-13では、パリティアドレス領域であるアドレス「x13」のビット「1」を受けるので、このカウンタ回路からリフレッシュ動作に対するEND信号が発生される。

【0047】

上記説明では、パススイッチ2-0～2は図2の状態から図1に戻るとしたが、他の状態、例えば全てのパスを開く状態としてもよい。この場合、リフレッシュ動作の開始で図1の状態にすることが必要である。また、上記説明では三つのパススイッチ2-0～2としているが、例えば図4に示されるように二つのスイッチ2-2，2-2それぞれがトランスファー接点で一方の接点を直結する回路でもよい。

【0048】

次に、図3を参照して低電力じょうたいとなるポーズ期間について説明する。基本的には上記図10を参照した説明と同一である。

【0049】

リフレッシュ動作を必要とするメモリ装置は予め定められたリフレッシュ周期をもってリフレッシュ動作を繰り返す。この場合、リフレッシュ動作以外の期間は、電力消費を抑えるため、例えば内部電源のうちデータ保持動作に支障のない回路の電源を遮断するなどのポーズ期間としている。

【0050】

図3で示されるように、ノーマル領域のリフレッシュ動作の開始で内部電源はスイッチオンされる。ノーマル領域の間、上記AC1-13のアドレスにはビット「0」が現われる。上述したように、ノーマル領域のリフレッシュ動作の終了でパリティ領域のリフレッシュが実行される。この間、上記AC1-13のアドレスにはビット「1」が現われる。リフレッシュ動作が終了した際には、上述したようにEND信号が発生するので、メモリ装置は次のリフレッシュ動作開始までポーズ期間に入る。

【0051】

上記説明では、パススイッチの切替信号が最終アドレスにより切替信号発生部 SG で形成されとしたが、最上位のアドレスカウンタから発生することでもよい。

【0052】

また、図 4 に示されるように、カウンタ値保持照合部 4 を設けて、パススイッチの切替信号を何れのアドレスカウンタからでも発生させることができる。この場合、カウント開始のアドレスを記憶保持し、カウンタが一周した際にアドレスを照合し、その一致によりパススイッチ切替信号が発生する。すなわち、アドレスの比較照合方式である。

【0053】

上記説明では、カウンタの数を「13」としたが、メモリ規模により拡張は可能であり、パリティ領域も方式により変更可能である。また、リフレッシュカウンタとしてデータ領域とパリティ領域との二つに対する領域のビットカウンタとしたが、他の不連続領域領域に対するカウンタを連続領域のカウンタと共用する回路にも適用できる。

【0054】

上記説明では、図示された回路ブロックを参照しているが、機能の分離併合による配分などの変更は上記機能を満たす限り自由であり、上記説明が本発明を限定するものではなく、更に、アドレスカウンタの全般に適用可能なものである。

【0055】**【発明の効果】**

以上説明したように本発明によれば、次のような効果を得ることができる。

【0056】

第一の効果は、メモリ装置における所要面積の削減である。

【0057】

その理由は、連続領域のアドレスカウンタを基本として、不連続領域に対するアドレスカウンタもこの基本のカウンタを用いているからである。すなわち、連続する領域のうちの不連続領域部分にあるカウンタを、パススイッチを用いて切

離すと共に、この切離した部分を短絡して連続のカウンタ回路に形成しているからである。この結果、一つの連続領域用カウンタで不連続領域を有するカウンタにも利用できる。

【0058】

第二の効果は、切替制御の簡潔化である。

【0059】

その理由は、連続領域と不連続領域との識別を行アドレス「x13」のビットで識別し、連続領域及び不連続領域両者の全ての一巡終了を検出してEND信号を発生できるからである。この結果、従来の技術で説明した全体カウンタも一つに合体できるので、更にメモリ装置の経済化を図ることができる。

【図面の簡単な説明】

【図1】

本発明による連続領域用アドレスカウンタの実施の一形態を示す回路ブロック図である。

【図2】

図1から不連続領域に対応するアドレスカウンタに切替えた際の実施の一形態を示す回路ブロック図である。

【図3】

本発明によるポーズ期間開始を指示するEND信号発生を説明する図である。

【図4】

図1とは別の実施の一形態を示す回路ブロック図である。

【図5】

メモリの基本構造の一例を示す機能ブロック図である。

【図6】

メモリの周辺回路における基本構造の一例を示す機能ブロック図である。

【図7】

メモリバンクと行アドレスとの関連の一例を説明する図である。

【図8】

図7におけるノーマルアドレス領域とパリティアドレス領域とのアドレスカウ

ンタに対する対応の一例を示す図である。

【図 9】

ノーマル領域用アドレスカウンタ回路（A）とパリティ領域用アドレスカウンタ回路（B）と全体カウンタ回路（C）とそれぞれの一例を示す図である。

【図 1 0】

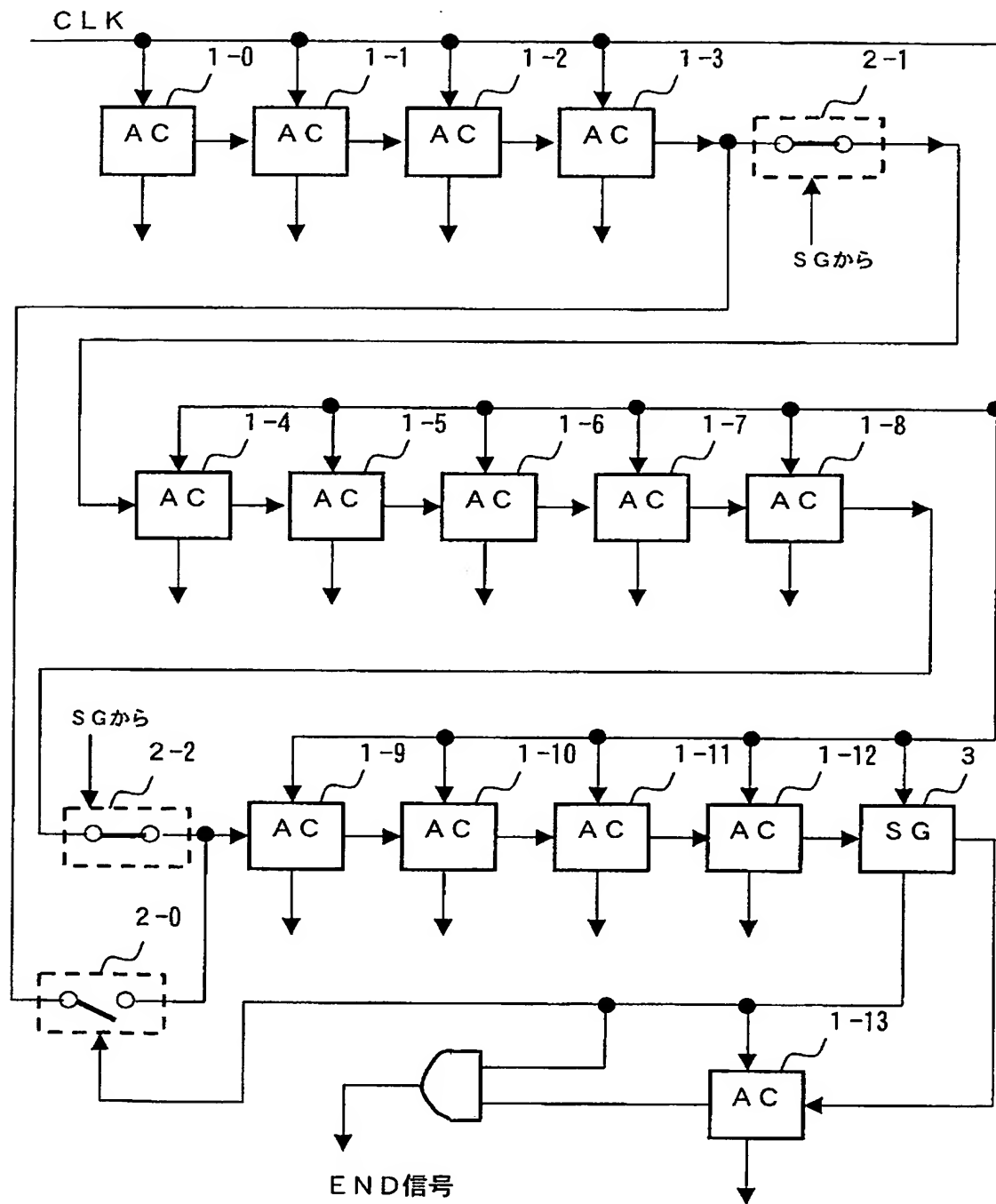
特許文献 2 に示されたリフレッシュ周期に発生する波形の一例を説明する図である。

【符号の説明】

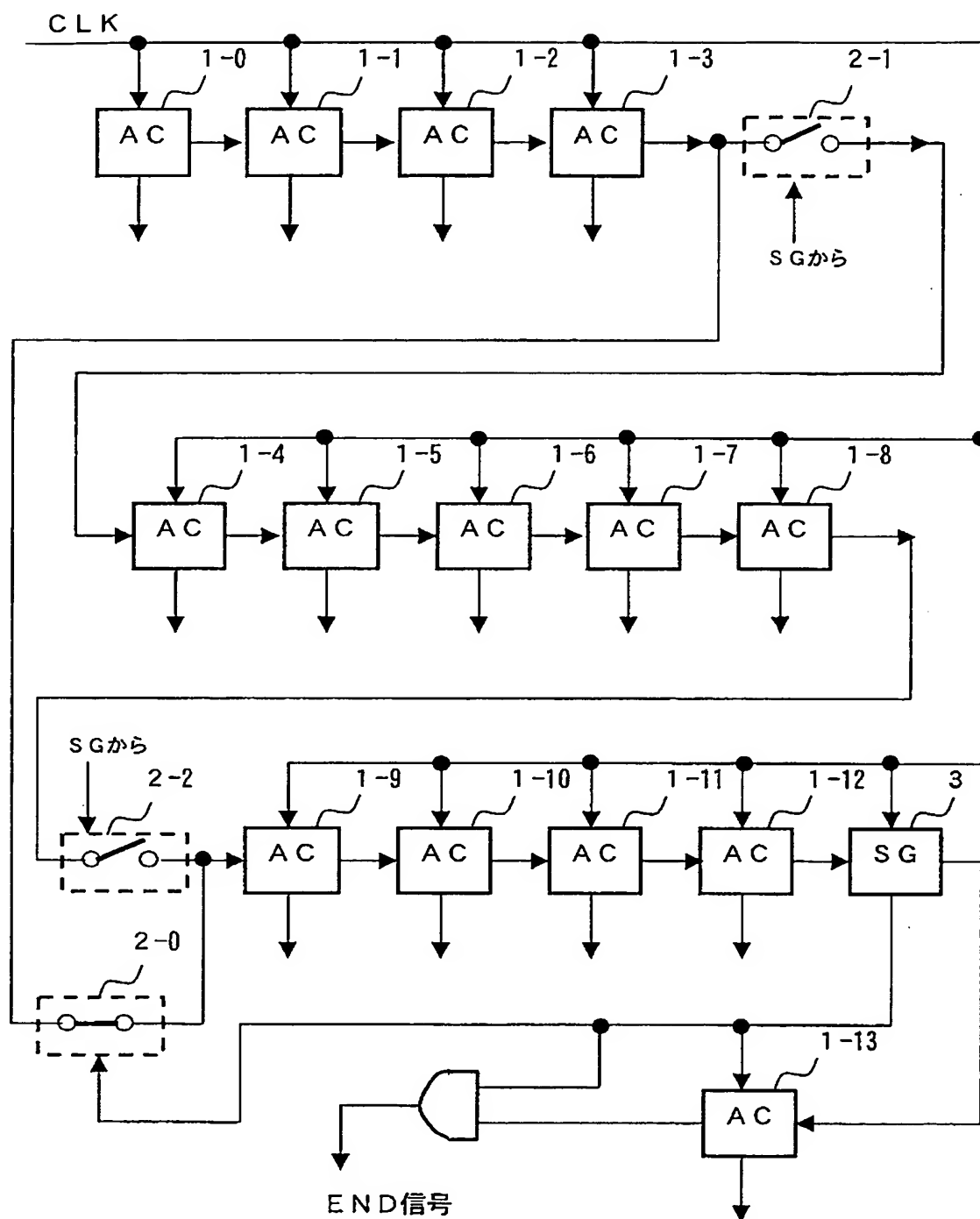
- 1 - 0 ~ 1 - 1 3 A C （アドレスカウンタ）
- 2 - 0、2 - 1、2 - 2 パススイッチ
- 3 S G （切替信号発生部）
- 4 カウンタ値保持照合部

【書類名】 図面

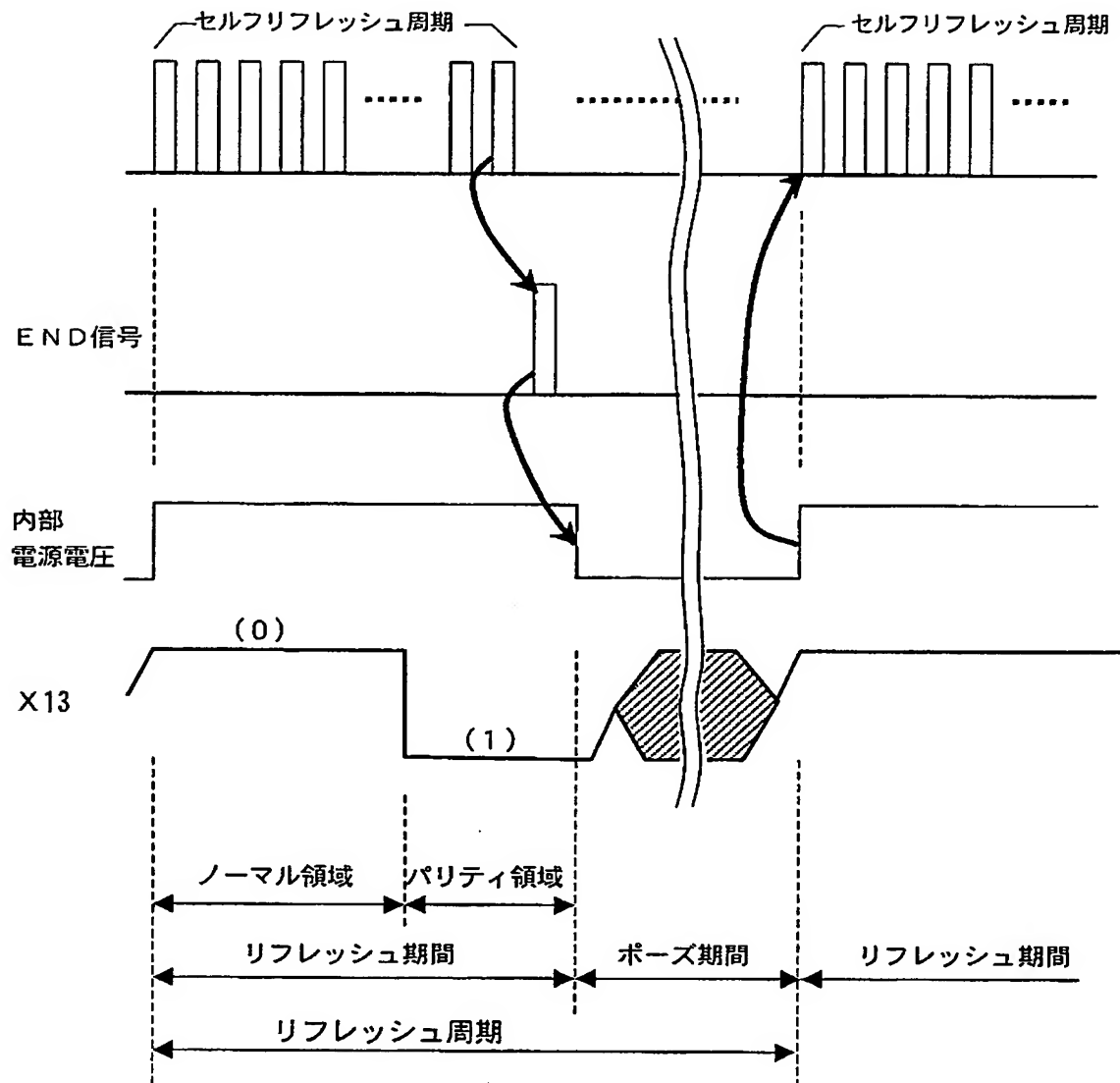
【図 1】



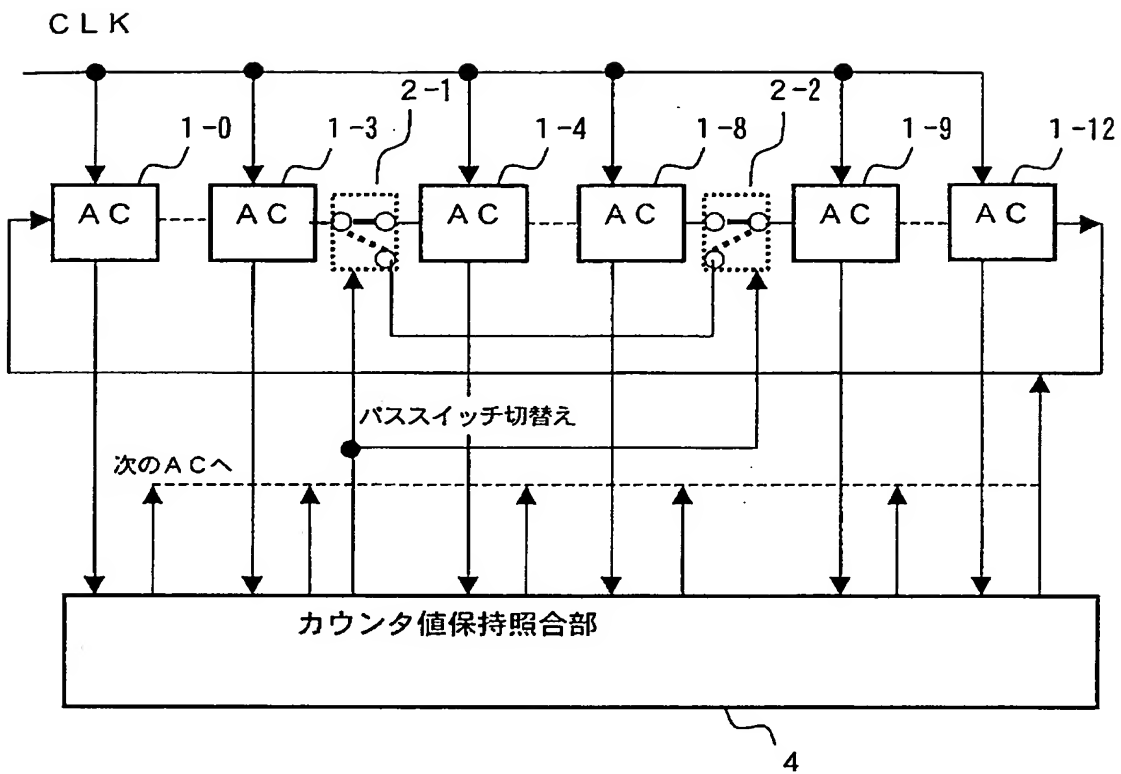
【図 2】



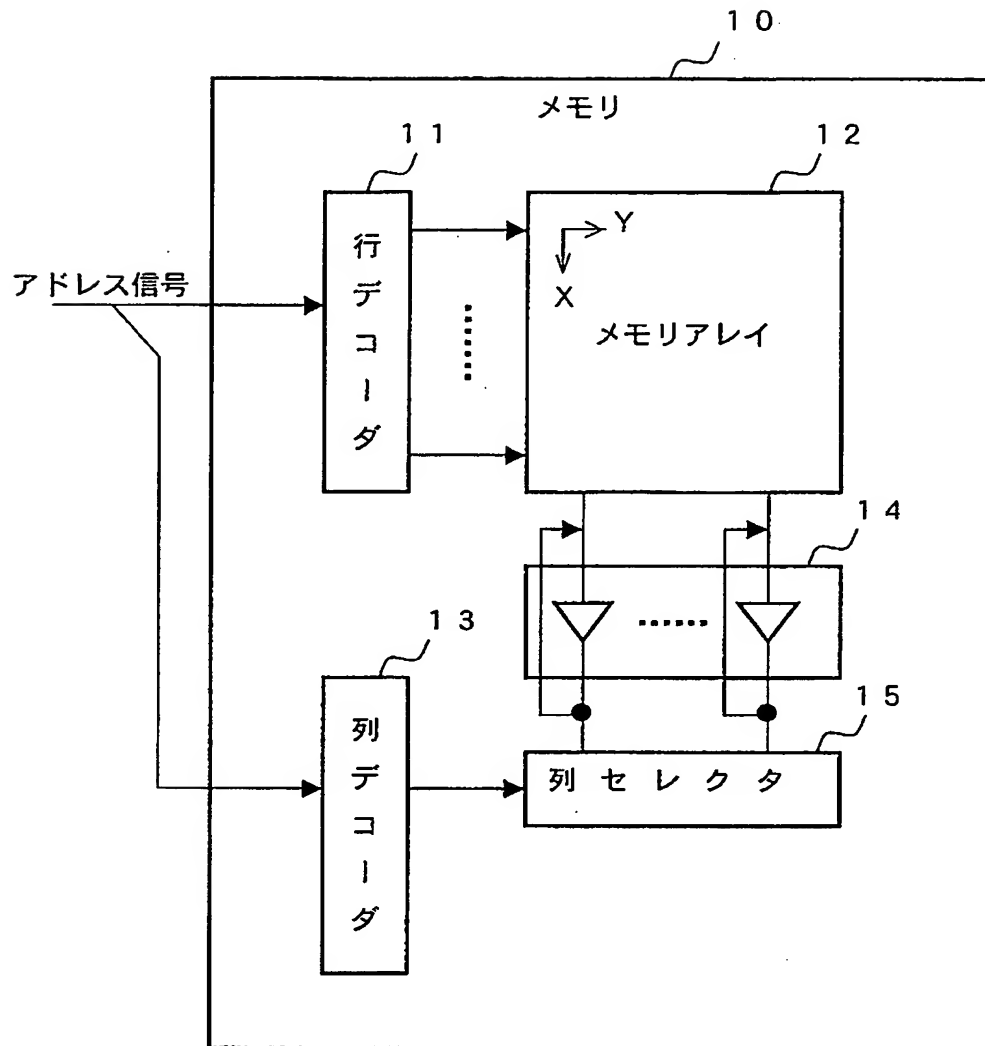
【図 3】



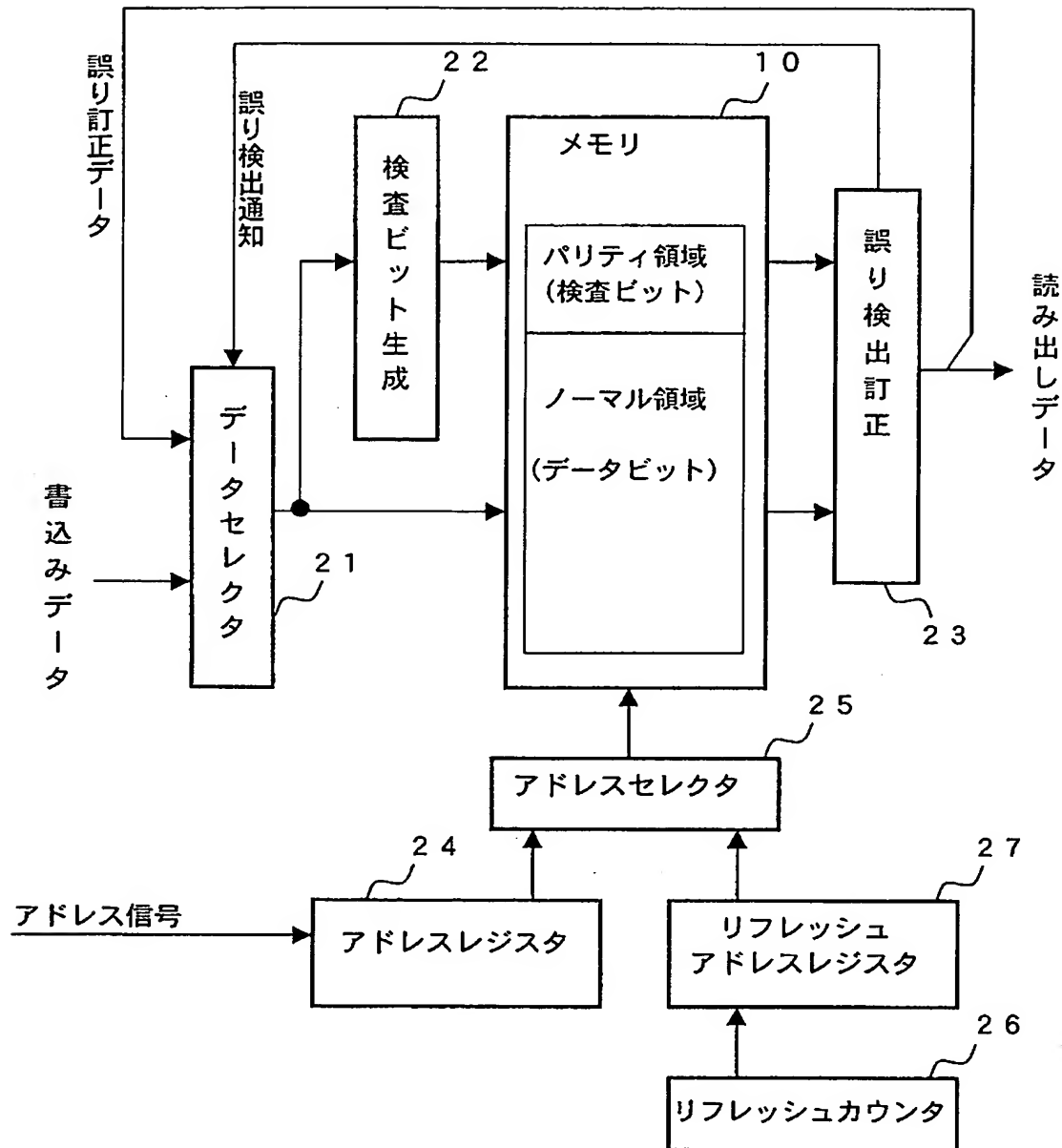
【図 4】



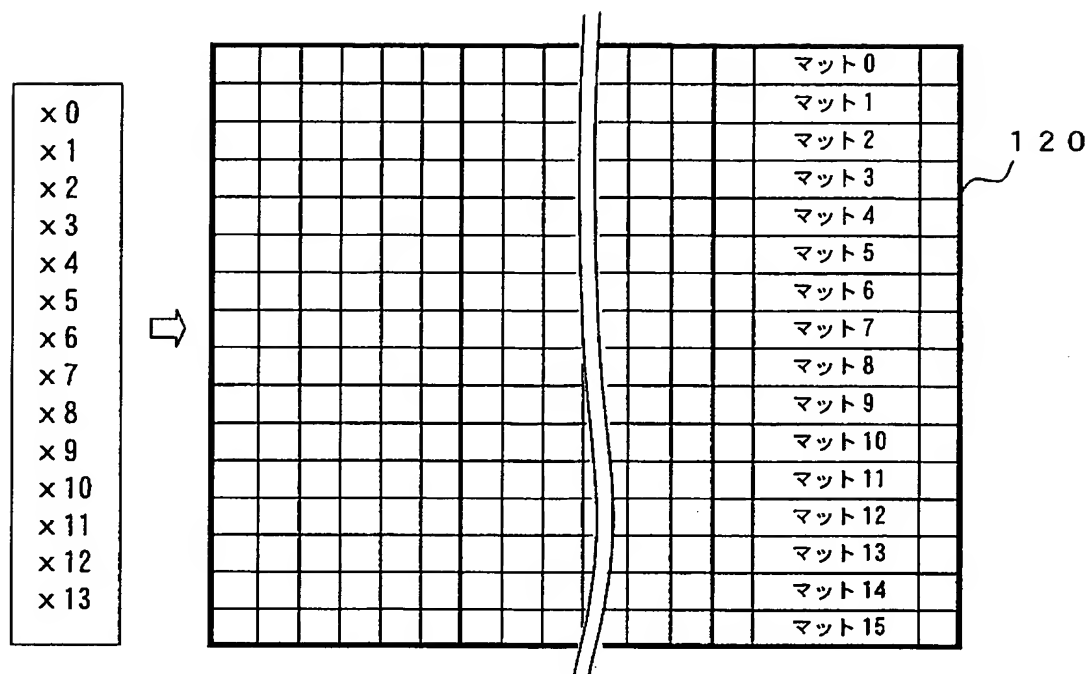
【図 5】



【図6】



【図 7】



【図 8】

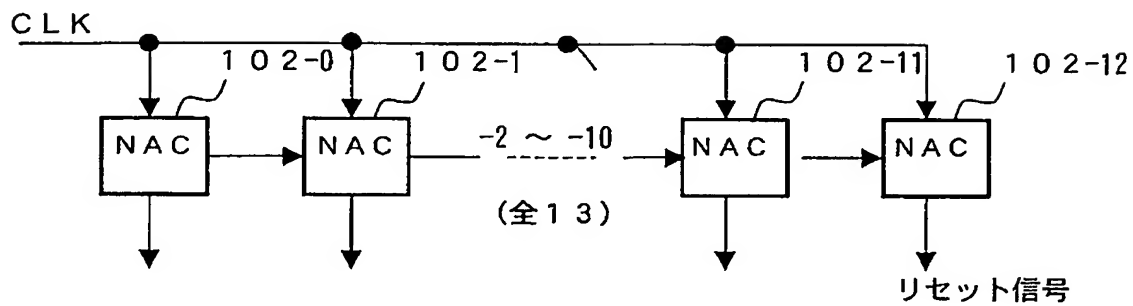
	ノーマルアドレス領域										パリティアドレス領域																	
x0	0	1	0	1	0	1	0	1	0	1	0	1	0	1	0	1	0	1	0	1								
x1	0	1	0	1	0	1	0	1	0	1	0	1	0	1	0	1	0	1	0	1								
x2	0		1		0		1		0		1		0		1													
x3	0	1	0	1	0	1	0	1	0	1	0	1	0			1												
x4	0	1	0	1	0	1	0	1																				
x5	0		1		0		1																					
x6	0	1	0	1	0	1	0	1													0	1	0	1				
x7	0	1	0	1	0	1	0	1																				
x8	0		1		0		1																					
x9	0	1	0	1	0	1	0	1													0	1	0	1	0	1	0	1
x10	0	1	0	1	0	1	0	1	0	1	0	1	0	1	0	1	0	1	0	1								
x11	0		1		0		1		0		1		0		1													
x12	0				1				0				1															
x13	0										1																	

マット指定

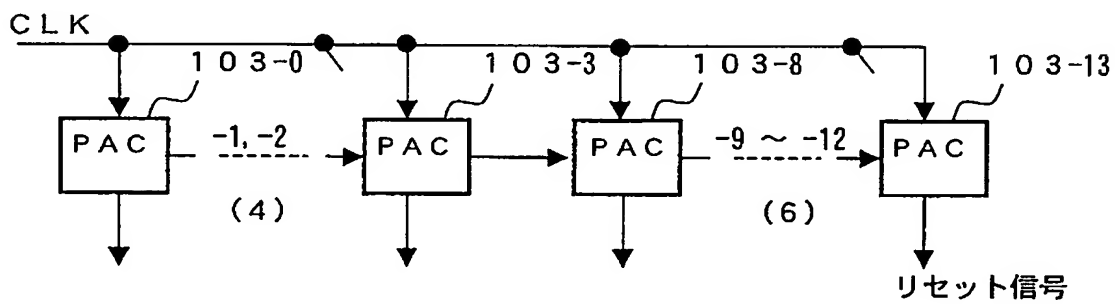
領域指定

【図 9】

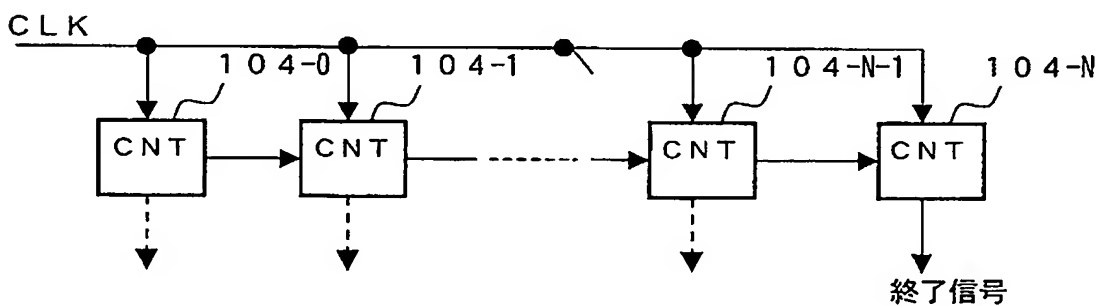
(A) ノーマル領域用アドレスカウンタ回路



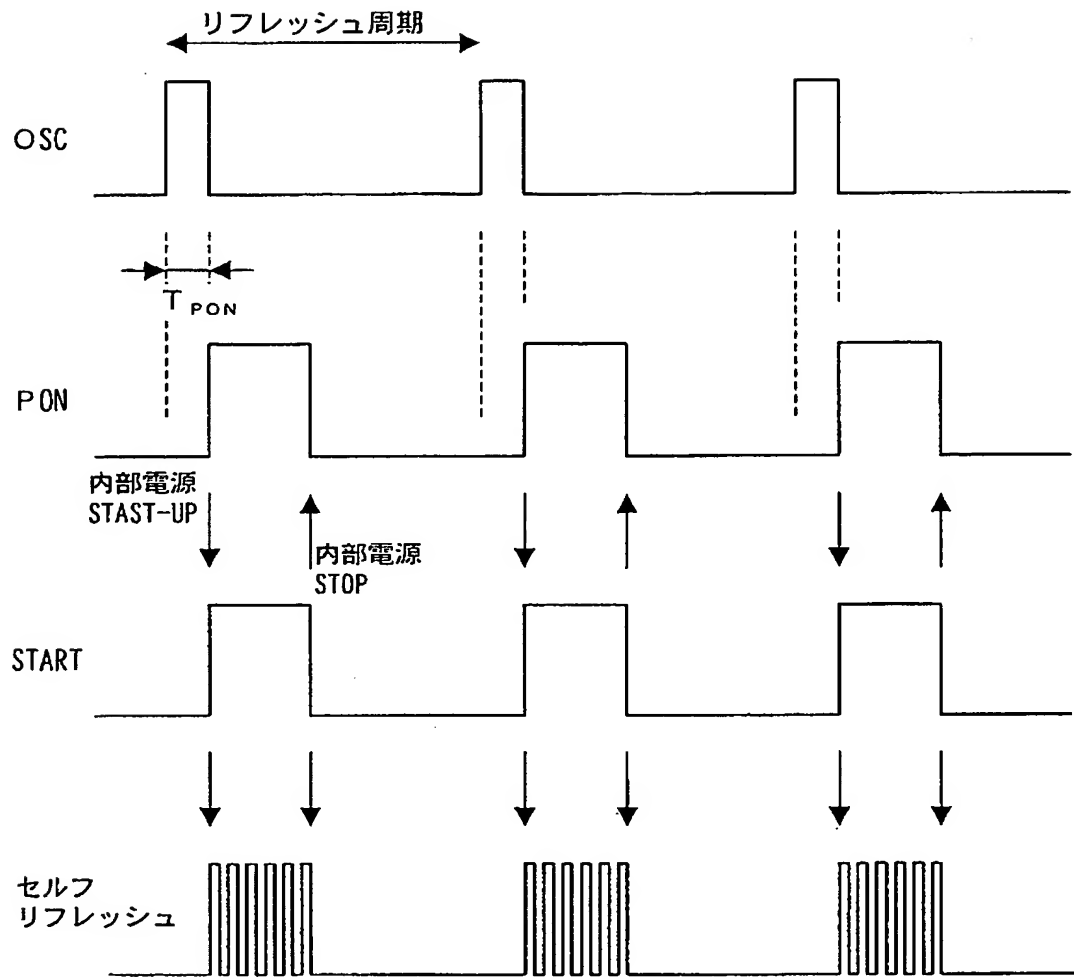
(B) パリティ領域用アドレスカウンタ回路



(C) 全体カウンタ回路



【図 10】



【書類名】 要約書

【要約】

【課題】 メモリ装置における所要面積の削減と制御の簡潔化とを実現できる。

【解決手段】 メモリのリフレッシュ動作に際し、データビットのノーマル領域に対応するアドレスカウンタ（AC）1-0～-12を基本として備え、AC1-3及びAC1-9、AC1-3及びAC1-4、並びにAC1-8及びAC1-9それぞれの間にパススイッチ2-1、-2を設ける。ノーマル領域の全ビットリフレッシュにはパススイッチ2-0を開き、パススイッチ2-1、-2を閉じて使用する。ノーマル領域最終アドレスの動作終了でパススイッチの開閉を切替えるので、パリティビットの不連続領域ではAC1-0～-3とAC1-9～-12とを連続してアドレス指定できる。不連続領域最終アドレスの動作終了でEND信号を発生し、メモリ装置は低電力消費のポーズ状態に自動移行する。

【選択図】 図1

特願 2 0 0 2 - 2 8 1 0 4 5

出 願 人 履 歴 情 報

識別番号

[5 0 0 1 7 4 2 4 7]

1 . 変更年月日

2 0 0 0 年 7 月 1 2 日

[変更理由]

名称変更

住 所

東京都中央区八重洲 2 - 2 - 1

氏 名

エルピーダメモリ株式会社

特願 2 0 0 2 - 2 8 1 0 4 5

出 願 人 履 歴 情 報

識別番号

[0 0 0 2 3 3 1 6 9]

1. 変更年月日

1 9 9 8 年 4 月 3 日

[変更理由]

名称変更

住 所

東京都小平市上水本町 5 丁目 2 2 番 1 号

氏 名

株式会社日立超エル・エス・アイ・システムズ

特願 2 0 0 2 - 2 8 1 0 4 5

出 願 人 履 歴 情 報

識別番号

[0 0 0 0 0 5 1 0 8]

1. 変更年月日

1 9 9 0 年 8 月 3 1 日

[変更理由]

新規登録

住 所

東京都千代田区神田駿河台 4 丁目 6 番地

氏 名

株式会社日立製作所